

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月29日

出願番号

Application Number:

特願2002-220048

[ST.10/C]:

[JP2002-220048]

出願人

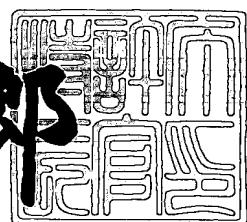
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047976

【書類名】 特許願
【整理番号】 22310231
【提出日】 平成14年 7月29日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/4063
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内
【氏名】 柴田 佳世子
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内
【氏名】 西尾 洋二
【発明者】
【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内
【氏名】 船場 誠司
【特許出願人】
【識別番号】 500174247
【氏名又は名称】 エルピーダメモリ株式会社
【代理人】
【識別番号】 100071272
【弁理士】
【氏名又は名称】 後藤 洋介
【選任した代理人】
【識別番号】 100077838
【弁理士】
【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリモジュール及びメモリシステム

【特許請求の範囲】

【請求項1】 メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリモジュールにおいて、

前記バスの他端と前記ピンとの間にスタブ抵抗を接続したことを特徴とするメモリモジュール。

【請求項2】 請求項1に記載のメモリモジュールにおいて、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを $Z_{effdimm}$ 、前記マザーボード上でスタブ接続されている前記コネクタの数を n として、 $R_s = (n - 1) \times Z_{effdimm} / n$ 、及び、 $R_{term} = Z_{effdimm}$ 、としたことを特徴とするメモリモジュール。

【請求項3】 請求項1又は2に記載のメモリモジュールにおいて、前記メモリチップを複数有し、前記バスがこれら複数のメモリチップに共通に接続されていることを特徴とするメモリモジュール。

【請求項4】 請求項1又は2に記載のメモリモジュールにおいて、前記メモリチップを複数有し、前記バスがこれら複数のメモリチップにそれぞれ対応するよう複数設けられていることを特徴とするメモリモジュール。

【請求項5】 請求項1乃至4のいずれかに記載のメモリモジュールにおいて、前記バスが双方向バスであることを特徴とするメモリモジュール。

【請求項6】 請求項1乃至4のいずれかに記載のメモリモジュールにおいて、前記バスが單方向バスであることを特徴とするメモリモジュール。

【請求項7】 請求項1乃至6のいずれかに記載のメモリモジュールにおいて、前記終端抵抗が、前記メモリチップの内部に形成されていることを特徴とするメモリモジュール。

【請求項8】 n 個のメモリモジュールをスタブ接続したメモリシステムで

あって、前記n個のメモリモジュールが、それぞれ、メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリシステムにおいて、

前記n個のメモリモジュールの各々が、前記バスの他端と前記ピンとの間に接続されたスタブ抵抗を有していることを特徴とするメモリシステム。

【請求項9】 請求項8に記載のメモリシステムにおいて、前記スタブ抵抗の抵抗値Rs及び前記終端抵抗の抵抗値Rtermを、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスをZeffdimmとして、 $Rs = (n - 1) \times Z_{effdimm} / n$ 、及び、 $R_{term} = Z_{effdimm}$ 、とするとともに、前記マザーボードの配線インピーダンスZmbを、 $Z_{mb} = (2n - 1) \times Z_{effdimm} / n^2$ 、としたことを特徴とするメモリシステム。

【請求項10】 請求項8又は9に記載のメモリシステムにおいて、前記メモリモジュールの各々が、前記メモリチップを複数有しており、前記バスがこれら複数のメモリチップに共通に接続されていることを特徴とするメモリシステム。

【請求項11】 請求項8又は9に記載のメモリシステムにおいて、前記メモリモジュールの各々が、前記メモリチップを複数有しており、前記バスがこれら複数のメモリチップにそれぞれ対応するように複数設けられていることを特徴とするメモリシステム。

【請求項12】 請求項8乃至11に記載のメモリシステムにおいて、前記バスが双方向バスであることを特徴とするメモリシステム。

【請求項13】 請求項8乃至11に記載のメモリシステムにおいて、前記バスが单方向バスであることを特徴とするメモリシステム。

【請求項14】 請求項8、10又は11に記載のメモリシステムにおいて、前記バスが单方向バスである場合に、前記マザーボードの配線インピーダンスZmbと、スタブ抵抗の抵抗値Rsと、メモリチップ配置部の実効インピーダンスZeffdimmとの関係を、 $Z_{mb} = (Rs + Z_{effdimm}) / n$ 、としたことを特徴とするメモリシステム。

【請求項15】 請求項8乃至14のいずれかに記載のメモリシステムにおいて、前記終端抵抗が、前記メモリチップの内部に形成されていることを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリモジュール及びメモリシステムに関し、特に、複数のメモリモジュールがスタブ接続されるメモリシステムに関する。

【0002】

【従来の技術】

図15に従来のメモリモジュール150を示す。このメモリモジュールは、複数のメモリチップ151と、これらメモリチップ151に共通に接続される伝送バスライン152とを備えている。また、各メモリモジュールは、マザーボード(図示せず)上のコネクタに保持固定され、その端子に電気的に接続される複数のピン153を有している。伝送バスライン152の一端は、ピン153のうちの1本に接続されている。また、伝送バスライン152の他端には、その一端が所定の電圧レベルV_{term}に接続されている終端抵抗(R_{term})154の他端に接続されている。なお、このメモリモジュール150は、DIMM(Dual Inline Memory Module)である。

【0003】

図15のメモリモジュール150を複数用いた従来のメモリシステムは、図16に示すように構成される。即ち、従来のメモリシステムは、図示しないマザーボード上に搭載されたメモリコントローラ161と、これにそれぞれ伝送バスライン162によって接続された複数(ここでは2個)のコネクタ163と、このコネクタ163にそれぞれ装着されたメモリモジュール150とを有している。

【0004】

なお、このようなメモリシステムは、例えば、特開2002-23901号公報に記載されている。

【0005】

【発明が解決しようとする課題】

従来のメモリシステムでは、メモリコントローラとメモリモジュールが装着されるコネクタとの間を接続するために、コネクタの数に応じた数の伝送バスラインがマザーボード上に必要である。このため、従来のメモリシステムは、マザーボード上の配線数が多い（或いは総配線距離が長い）という問題点がある。そして、この問題は、より多くのメモリモジュールを接続できるメモリシステム（多スロットシステム）を構築しようとするときに、特に問題となる。

【0006】

R I M M (Rambus Inline Memory Module) と呼ばれるメモリモジュールを用いるメモリシステムの場合は、全メモリモジュールがメモリ伝送バスラインによって分岐なく接続されるため、上記のような問題は発生しない。しかしながら、この場合には、伝送バス幅が狭い等の別の問題点がある。

【0007】

マザーボード上の配線数が少なくてすみ、また伝送バス幅を広くできるメモリシステムとして、複数のメモリモジュールをスタブ接続することが考えられる。しかしながら、多数の分岐点を有するスタブ接続では、伝送線路上に反射信号が生じ易く、その動作が高速になればなるほどそれらの反射信号の存在を無視できなくなるという問題点がある。即ち、複数のメモリモジュールを単純にスタブ接続したのでは、動作速度に限界があるという問題点がある。

【0008】

そこで、本発明は、伝送線路上の反射信号を抑え、高速化に対応できる、複数のメモリモジュールがスタブ接続されたメモリシステムを提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明によれば、メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリモジュールにおいて、前記バスの他端と前記ピンとの間にスタブ抵抗を接続したことを特徴とす

るメモリモジュールが得られる。

【0010】

このメモリモジュールでは、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを $Z_{effdimm}$ 、前記マザーボード上でスタブ接続されている前記コネクタの数を n として、 $R_s = (n - 1) \times Z_{effdimm} / n$ 、及び、 $R_{term} = Z_{effdimm}$ 、とする。

【0011】

また、本発明によれば、 n 個のメモリモジュールをスタブ接続したメモリシステムであって、前記 n 個のメモリモジュールが、それぞれ、メモリチップと、該メモリチップをマザーボード上のコネクタに接続するためのピンと、前記メモリチップと前記ピンとの間を接続するためのバスと、該バスの一端に接続された終端抵抗とを備えたメモリシステムにおいて、前記 n 個のメモリモジュールの各々が、前記バスの他端と前記ピンとの間に接続されたスタブ抵抗を有していることを特徴とするメモリシステムが得られる。

【0012】

このメモリシステムでは、前記スタブ抵抗の抵抗値 R_s 及び前記終端抵抗の抵抗値 R_{term} を、前記バスと前記メモリチップとからなるメモリチップ配置部の実効インピーダンスを $Z_{effdimm}$ として、 $R_s = (n - 1) \times Z_{effdimm} / n$ 、及び、 $R_{term} = Z_{effdimm}$ 、とするとともに、前記マザーボードの配線インピーダンス Z_{mb} を、 $Z_{mb} = (2n - 1) \times Z_{effdimm} / n^2$ 、とする。

【0013】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【0014】

まず、本発明の理解を容易にするため、図1に示すスター結線における信号反射の防止方法について説明する。

【0015】

図1のスター結線は、配線インピーダンス Z_0 の伝送線4本を、それぞれの伝

送線に接続される抵抗値 R_s のスタブ抵抗を介して 1 点で互いに接続したものである。このスター結線において、ある一本の伝送線に着目すると、残りの伝送線は、着目した伝送線から分岐した伝送線であるとみなせる。つまり、図 1 のスター結線は、分岐数 $n = 3$ の伝送線路である。

【0016】

このようなスター結線において、A 点で反射が生じない条件は、

【数1】

$$Z_0 = R_s + (R_s + Z_0) / 3 \quad \cdots (1)$$

である。これを一般式で表すと、

【数2】

$$Z_0 = R_s + (R_s + Z_0) / n \quad \cdots (2)$$

となる。そして、この(2)式からスタブ抵抗の値 R_s を求めると、

【数3】

$$R_s = (n - 1) \times Z_0 / (n + 1) \quad \cdots (3)$$

となる。なお、図 1 の場合は、 $n = 3$ なので、 $R_s = Z_0 / 2$ 、である。

【0017】

図 1 のスター結線では、全ての伝送線の配線インピーダンスが Z_0 で互いに等しく、また、全てのスタブ抵抗の抵抗値が R_s で互いに等しいので、上記のようにして求めた抵抗値 R_s を採用することにより、どの方向からの信号も分岐点において反射を生じることはない。つまり、以上のようにして求めた抵抗値 R_s を持つスタブ抵抗を使用することにより、信号反射が生じない、分岐数 n の伝送線路を実現することができる。

【0018】

なお、分岐数 $n = 2$ の場合については、上記のようにしてスタブ抵抗 R_s を定めることが、例えば、特開 2001-84070 号公報に記載されている。(ただし、この公報には、分岐数 $n = 2$ の場合しか記載されておらず、その技術は分岐数 n が 3 以上の場合には適用できない。また、この公報に記載の技術は、液晶表示パネルに使用されるもので、終端抵抗が設けられておらず、配線の端部で反射が生じることを前提としており、メモリシステムへの適用を示唆するものでは

ない。特に、高速動作が要求されるメモリシステムへの適用は到底考えられない。また、この公報記載の技術は、一の配線の特性インピーダンスを固定し、それに応じた他の2つの配線の特性インピーダンスや、抵抗素子の抵抗値を定めるというもので、メモリシステムに適用できるものではない。）

さて、上述したスター結線における信号反射を防止する技術を、複数のメモリモジュールがスタブ接続されるメモリシステムに導入（例えば、I/Oバスラインに適用）することを考える。この場合、マザーボード上には、スタブ抵抗 R_s （図1の R_1 ）を形成したくない。これは、ユーザが要求するメモリモジュールの数（即ち、分岐数 n ）は様々で、その要求に答えるには、スタブ抵抗 R_s の抵抗値を分岐数 n に応じて変更できるようにする必要があるが、マザーボードの改造は通常その製造元によって禁止されており、マザーボード上のスタブ抵抗の抵抗値を変更することができないからである。また、マザーボード上の抵抗素子数（部品点数）の増加を防ぐとともに、信号振幅の減衰を抑えるためでもある。従って、マザーボード上にスタブ抵抗を形成することなく、上記メモリシステムにおいて信号の反射を防止するためには、図2に示すようなスター結線で信号反射が発生しないようにすればよい。即ち、図2のスター結線において、マザーボードの配線インピーダンスを Z_{mb} 、メモリモジュールの配線インピーダンスを Z_{dimm} 、スタブ抵抗を R_s とし、A点及びB点の双方において反射が生じない条件を求めればよい。

【0019】

図2のスター結線において、分岐数を n とすると、A点で反射が生じない条件は、

【数4】

$$Z_{mb} = (R_s + Z_{dimm}) / n \quad \cdots (4)$$

である。また、B点で反射が生じない条件は、

【数5】

$$Z_{dimm} = R_s + \{ Z_{mb} \times (R_s + Z_{dimm}) \} \\ / \{ (R_s + Z_{dimm}) + Z_{mb} \times (n - 1) \} \quad \cdots (5)$$

である。

【0020】

(4) 式を (5) 式に代入して、 Z_{mb} を消去すると、

【数6】

$$Rs = (n - 1) \times Z_{dimm} / n \quad \dots (6)$$

となる。また、(6) 式を (4) 式に代入して Rs を消去すると、

【数7】

$$Z_{mb} = (2n - 1) \times Z_{dimm} / n^2 \quad \dots (7)$$

となる。

【0021】

従って、(6) 式を使って、メモリモジュールの配線インピーダンス Z_{dimm} に基づいてスタブ抵抗 Rs を決定し、(7) 式を使って、マザーボードの配線インピーダンス Z_{mb} を決定することにより、図2のようにスター結線されたマザーボードとメモリモジュールとの間で信号反射の無い双方向伝送を実現できる。なお、上記条件を満たすスター結線は、コマンドアドレスバスのような単方向バスにも適用可能であるが、単方向バスとして使用する場合には、(5) 式の条件を満たす必要は無く、 Z_{mb} 、 Rs 及び Z_{dimm} が、(4) 式の条件を満たす関係にあればよい。

【0022】

次に、図3乃至図5を参照して、本発明の一実施の形態に係るメモリモジュール及びそれを用いたメモリシステムについて説明する。

【0023】

図3に、本発明の一実施の形態に係るメモリモジュールを示す。図3のメモリモジュール30は、9個のメモリチップ31と、これらのメモリチップ31に共通に接続される伝送バスライン32と、マザーボード(図示せず)に搭載されたコネクタ(図4参照)のスロットに挿入保持され、そのコネクタの端子に電気的に接続される複数のピン33と、伝送バスライン32の一端に接続された終端抵抗(R_{term})34と、伝送バスライン32の他端とピン33のうちの1本との間に接続されたスタブ抵抗(Rs)35とを有している。なお、終端抵抗(R_{term})34は、所定の終端電圧レベル V_{term} に接続されるよう構成されている。

【0024】

図4及び図5に、図3のメモリモジュール30が2個スタブ接続されたメモリシステム及び3個スタブ接続されたメモリシステムをそれぞれ示す。

【0025】

図4のメモリシステムは、図示しないマザーボード上に搭載されたメモリコントローラ41と、2個のコネクタ42と、メモリコントローラ41にコネクタ42をスタブ接続するための伝送バスライン43とを有している。同様に、図5のメモリシステムは、図示しないマザーボード上に搭載されたメモリコントローラ51と、3個のコネクタ52と、メモリコントローラ51にコネクタ52をスタブ接続する伝送バスライン53とを有している。なお、これらのメモリシステムは、メモリモジュール30上の伝送バスライン32及びマザーボード上の伝送バスライン43又は53がI/Oバスライン（双方向バス）として構成されているものとする。この場合、メモリコントローラ41及各メモリチップ31には、それぞれ、I/Oバスラインに接続されるドライバとレシーバ（図4及び図5には、メモリコントローラ41及び1個のメモリチップについて、それぞれ△及び▽で示す。）とを備えている。

【0026】

図3のメモリモジュール30において、伝送バスライン32の配線インピーダンスを $Z_0 (= \sqrt{L/C}) [\Omega]$ 、メモリチップ31同士の間隔を $X [m]$ 、及びメモリチップ31の入力容量を $C_{in} [F]$ とすると、伝送バスライン32とメモリチップ31とで構成されるメモリチップ配置部の実効インピーダンス $Z_{effdimm}$ （図2における Z_{dimm} に相当）は、

【数8】

$$Z_{effdimm} = \sqrt{L / (C_{in} / X)}$$

で表される。例えば、 $Z_0 = 60 [\Omega]$ ($L = 3.6 \times 10^{-7} [H/m]$, $C = 1.0 \times 10^{-10} [F/m]$), $X = 1.2 \times 10^{-3} [m]$, 及び $C_{in} = 1.6 \times 10^{-12} [F]$ のときは、 $Z_{effdimm} = 39.3 [\Omega]$ である。

【0027】

また、 $Z_0 = 60 [\Omega]$ ($L = 3.6 \times 10^{-7} [H/m]$, $C = 1.0 \times 1$

10^{-10} [F/m]), $X = 1.3 \times 10^{-3}$ [m], 及び $C_{in} = 1.2 \times 10^{-12}$ [F] のときは、 $Z_{effdimm} = 43.3$ [Ω] である。

【0028】

各メモリモジュール30の終端抵抗34の抵抗値 R_{term} は、メモリチップ配置部の実効インピーダンス $Z_{effdimm}$ に一致するよう設定される。また、スタブ抵抗35の抵抗値 R_s は、(6)式と同様の式、即ち、

【数9】

$$R_s = \{ (n-1) / n \} \times Z_{effdimm}$$

により求められる。例えば、図4においては、 $n = 2$ であり、 $Z_{effdimm} = 39.3$ [Ω] と仮定した場合、

【数10】

$$\begin{aligned} R_s &= \{ (n-1) / n \} \times Z_{effdimm} \\ &= (1/2) \times 39.3 \\ &= 19.7 \text{ [Ω]} \end{aligned}$$

となる。また、このときのマザーボード上の配線インピーダンス Z_{mb} は、(7)式より、

【数11】

$$\begin{aligned} Z_{mb} &= (2n-1) Z_{effdimm} / n^2 \\ &= 3 \times 39.3 / 4 \\ &= 29.5 \text{ [Ω]} \end{aligned}$$

となる。これらを、簡単に模式図で表すと図6のようになる。

【0029】

また、図5においては、 $n = 3$ であり、 $Z_{effdimm} = 43.3$ [Ω] と仮定した場合、スタブ抵抗35の抵抗値 R_s 及びマザーボードの配線インピーダンス Z_{mb} は、それぞれ、 $R_s = 28.9$ [Ω]、 $Z_{mb} = 24.1$ [Ω] となる。これらを簡単に模式図で表すと、図7のようになる。

【0030】

図4や図5に示すメモリシステムは、分岐点で信号の反射が発生せず、また、終端部での反射も無いので、既存のDDR-I (動作周波数133MHz) やD

DR-II（動作周波数266MHz）に比べ、より高速（300MHz以上）の動作を安定して行うことができる。

【0031】

また、これらのメモリシステムは、マザーボード上にスタブ抵抗を必要としないので、部品点数が少なくてすみ、マザーボード上の配線トレースに余裕ができる上、信号振幅の減衰を抑えることもできる。さらに、マザーボード上の配線を増加することなく多スロットシステムを構成することができる。

【0032】

なお、上記実施の形態では、双方向バスであるI/Oバスへの本発明の適用について説明したが、本発明は、図8及び図9に示すように、コマンドアドレスバスのような单方向アドレスバスへの適用も可能である。この場合、マザーボードの配線インピーダンス Z_{mb} 、スタブ抵抗値 R_s 及びメモリチップ配置部の実効インピーダンス $Z_{effdimm}$ は、（6）式及び（7）式の条件から求めてよいし、（4）式の条件のみを満たすようにしてもよい。例えば、図8において、 $Z_{effdimm}=39.3\ [\Omega]$ 、 $Z_{mb}=30\ [\Omega]$ と仮定した場合、

$$Z_{mb} = (R_s + Z_{effdimm}) / n$$

より、

$$\begin{aligned} R_s &= n \times Z_{mb} - Z_{effdimm} \\ &= 2 \times 30 - 39.3 \\ &= 20.7\ [\Omega] \end{aligned}$$

となり、図9において、 $Z_{effdimm}=43.3\ [\Omega]$ 、 $Z_{mb}=30\ [\Omega]$ と仮定した場合、

$$Z_{mb} = (R_s + Z_{effdimm}) / n$$

より、

$$\begin{aligned} R_s &= 3 \times 30 - 43.3 \\ &= 46.7\ [\Omega] \end{aligned}$$

となる。

【0033】

また、上記実施の形態では、終端抵抗34はメモリチップ31から独立してメ

モリモジュール上に形成されているが、図10に示すように、メモリチップ31内に形成することも可能である。これは、オン・ダイ・ターミネーション (On Die Termination) と呼ばれる公知の技術である。

【0034】

次に、本発明の他の実施の形態に係るメモリモジュール及びメモリシステムについて、図11乃至図13を参照して説明する。

【0035】

図11に示されたメモリモジュール110は、9個のメモリチップ111と、これらメモリチップ111に各々接続されたI/Oバスライン112と、各メモリチップ111の内部に形成され、I/Oバスライン112の一端に接続された終端抵抗113と、I/Oバスライン112の他端にそれぞれ接続されたスタブ抵抗114と、スタブ抵抗114に接続されたピン115とを有している。

【0036】

図12に、図11のメモリモジュールを3個有するメモリシステムを、図13に、図11のメモリモジュールを4個有するメモリシステムを示す。

【0037】

図12のメモリシステムは、図示しないマザーボード上に搭載されるメモリコントローラ121と、3つのコネクタ122と、これらを接続する複数のI/Oバスライン123とを有している。I/Oバスライン123は、メモリモジュール110のメモリチップ111に1対1で対応するように用意されている。そして、I/Oバスライン123の各々は、全てのメモリモジュール110のメモリチップ111を1個ずつ互いに接続するよう、3つのコネクタ122に接続されている。つまり、本実施の形態では、メモリモジュール110ではなくメモリチップがスタブ接続されている。

【0038】

本実施の形態においても、終端抵抗113及びスタブ抵抗114の抵抗値を、それぞれ、前述の(6)式及び(7)式により定めることで、信号反射のない双方向伝送を実現できる。ただし、本実施の形態における実効インピーダンス Z_{eff} は、各メモリチップ111とそれに接続されるI/Oバスライン112とに

よって定まる。

【0039】

図13のメモリシステムは、図12のメモリシステムと同様のメモリシステムであって、メモリモジュール110の数を4個にしたものである。メモリモジュールの数（分岐数n）を4にしたので、各メモリモジュール110のスタブ抵抗Rsの抵抗値は、図12のメモリシステムのものとは異なる値となっている。それ以外は、図12のメモリシステムと同じである。

【0040】

なお、上述したいずれの実施の形態においても、終端抵抗34又は113が、所定の電圧レベルVtermに接続される場合について説明したが、図14に示すように、2個の抵抗を用いて電源電圧VDDを分圧し、所定の電圧レベルを得るようにもよい。

【0041】

【発明の効果】

本発明によれば、メモリモジュールの伝送バスラインとピンとの間にスタブ抵抗を接続するようにしたことで、信号反射のない、安定した高速動作が可能な、スタブ接続メモリシステムを実現することができ、多スロットシステムを効率よく構築することができる。

【0042】

また、本発明によれば、上述の多スロットシステムを構築する際に、マザーボード上の部品点数の増加や、配線数の増加がないため、マザーボード上の配線トレースを余裕を持って行うことができる。

【図面の簡単な説明】

【図1】

スター結線について説明するための模式図である。

【図2】

本発明に適用されるスター結線について説明するための模式図である。

【図3】

本発明の一実施の形態に係るメモリモジュールの概略図である。

【図4】

図3のメモリモジュールを2個スタブ接続したメモリシステムの構成図である

【図5】

図3のメモリモジュールを3個スタブ接続したメモリシステムの構成図である

【図6】

図4のメモリシステムの接続関係を示す模式図である。

【図7】

図5のメモリシステムの接続関係を示す模式図である。

【図8】

図4のメモリシステムの変形例を示す図である。

【図9】

図5のメモリシステムの変形例を示す図である。

【図10】

図3のメモリモジュールの変形例を示す図である。

【図11】

本発明の他の実施の形態に係るメモリモジュールの概略図である。

【図12】

図11のメモリモジュールを3個用いたメモリシステムの構成図である。

【図13】

図11のメモリモジュールを4個用いたメモリシステムの構成図である。

【図14】

図11のメモリモジュールにおける終端方法の他の例を示す図である。

【図15】

従来のメモリモジュールの概略図である。

【図16】

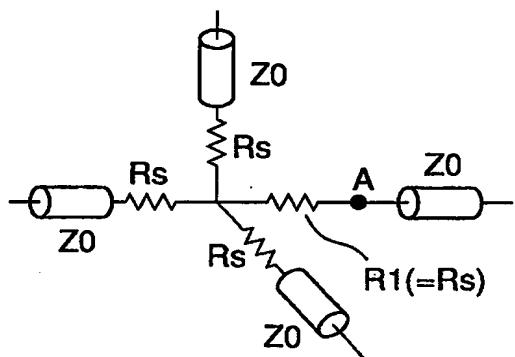
従来のメモリモジュールを2個用いたメモリシステムの構成図である。

【符号の説明】

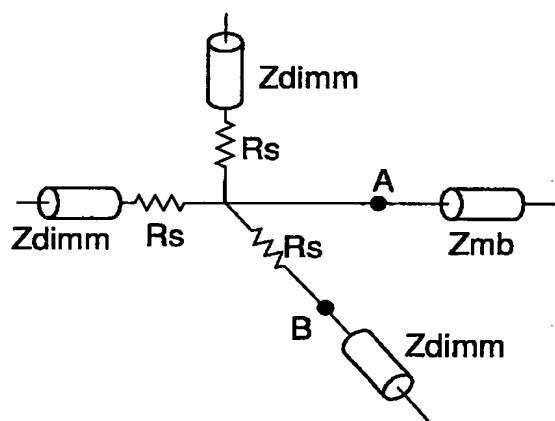
3 0 メモリモジュール
3 1 メモリチップ
3 2 伝送バスライン
3 3 ピン
3 4 終端抵抗
3 5 スタブ抵抗
4 1 メモリコントローラ
4 2 コネクタ
4 3 伝送バスライン
5 1 メモリコントローラ
5 2 コネクタ
5 3 伝送バスライン
1 1 0 メモリモジュール
1 1 1 メモリチップ
1 1 2 I/Oバスライン
1 1 3 終端抵抗
1 1 4 スタブ抵抗
1 1 5 ピン
1 2 1 メモリコントローラ
1 2 2 コネクタ
1 2 3 I/Oバスライン

【書類名】 図面

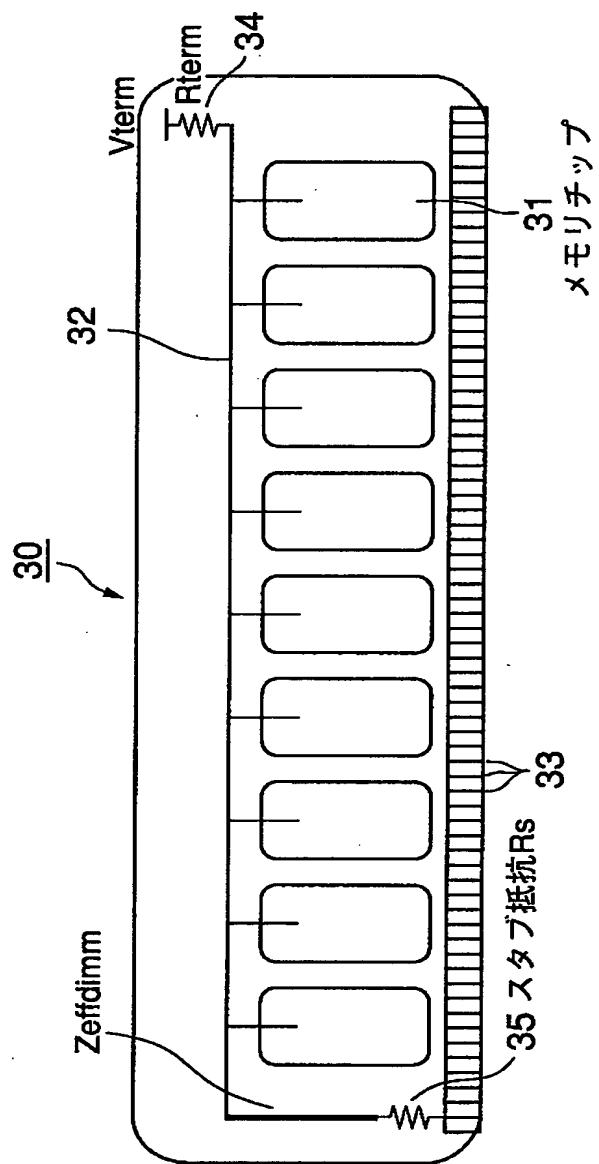
【図1】



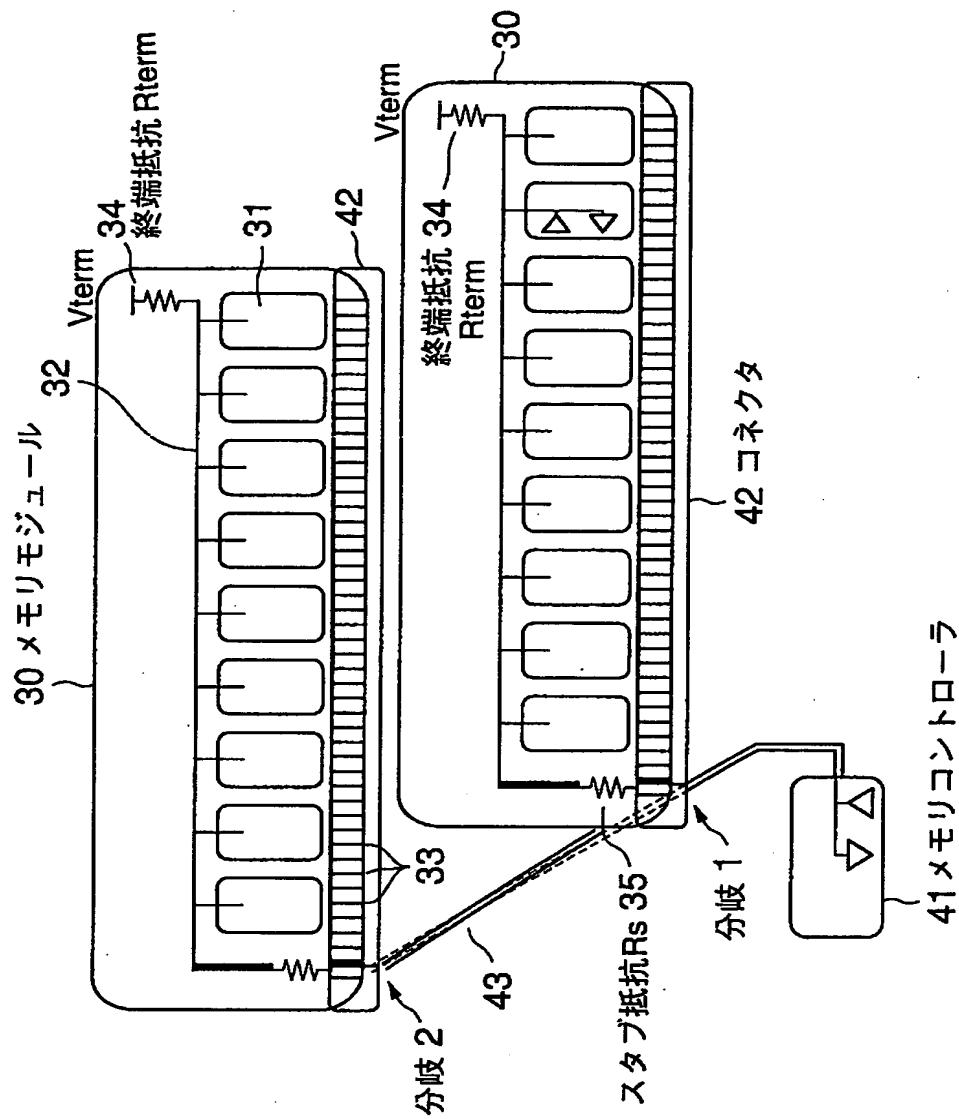
【図2】



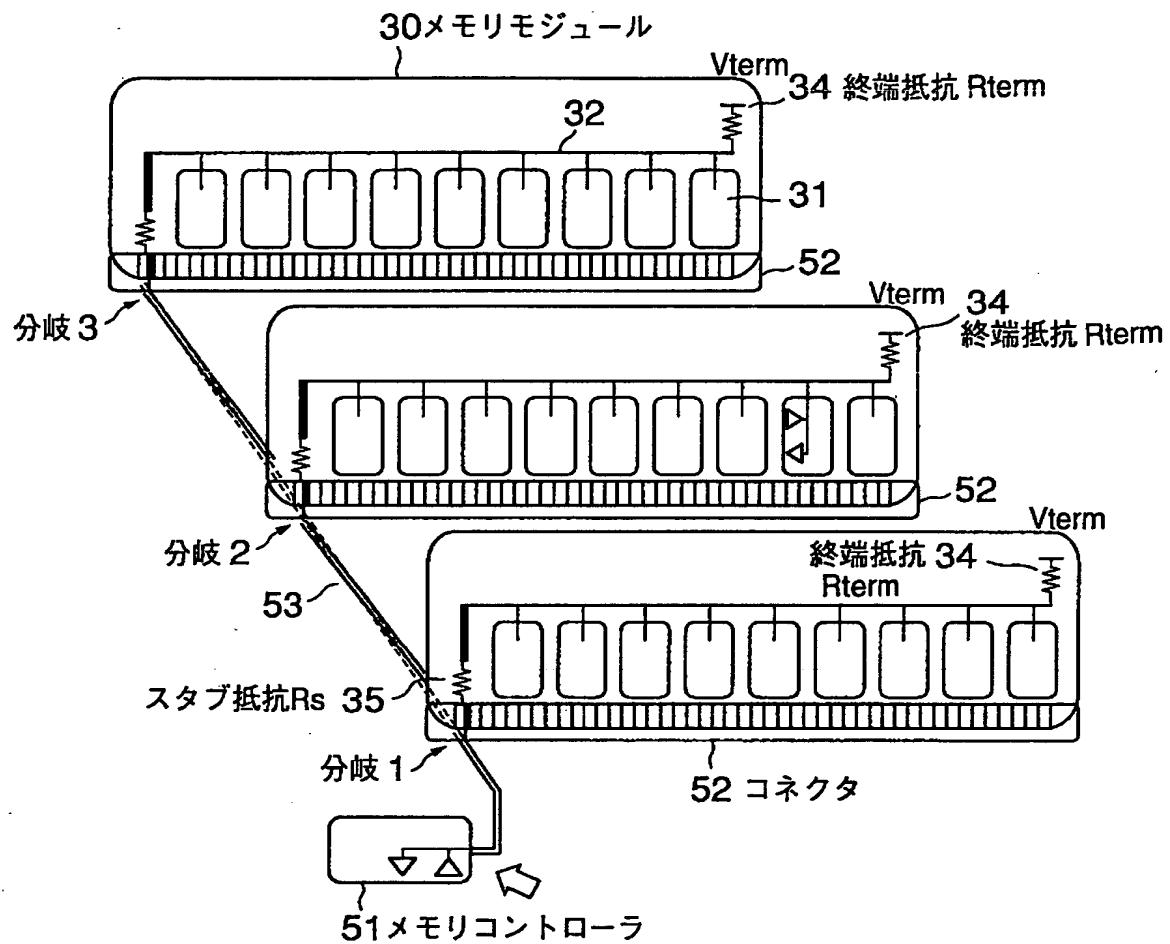
【図3】



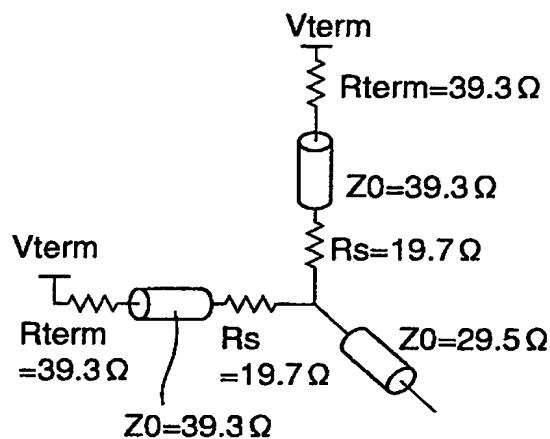
【図4】



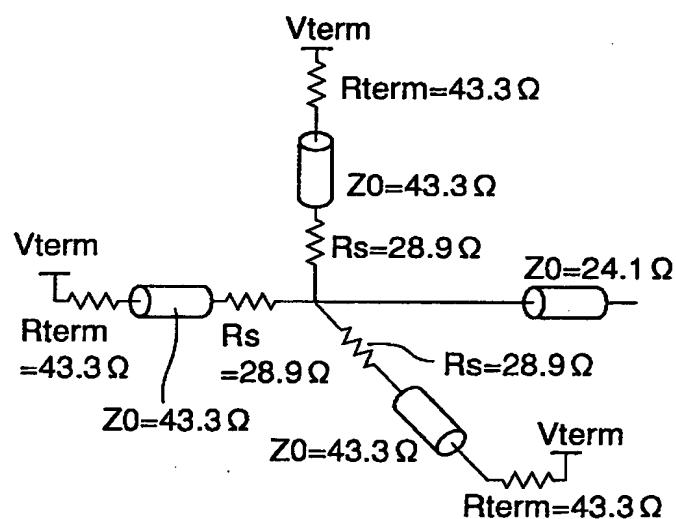
【図5】



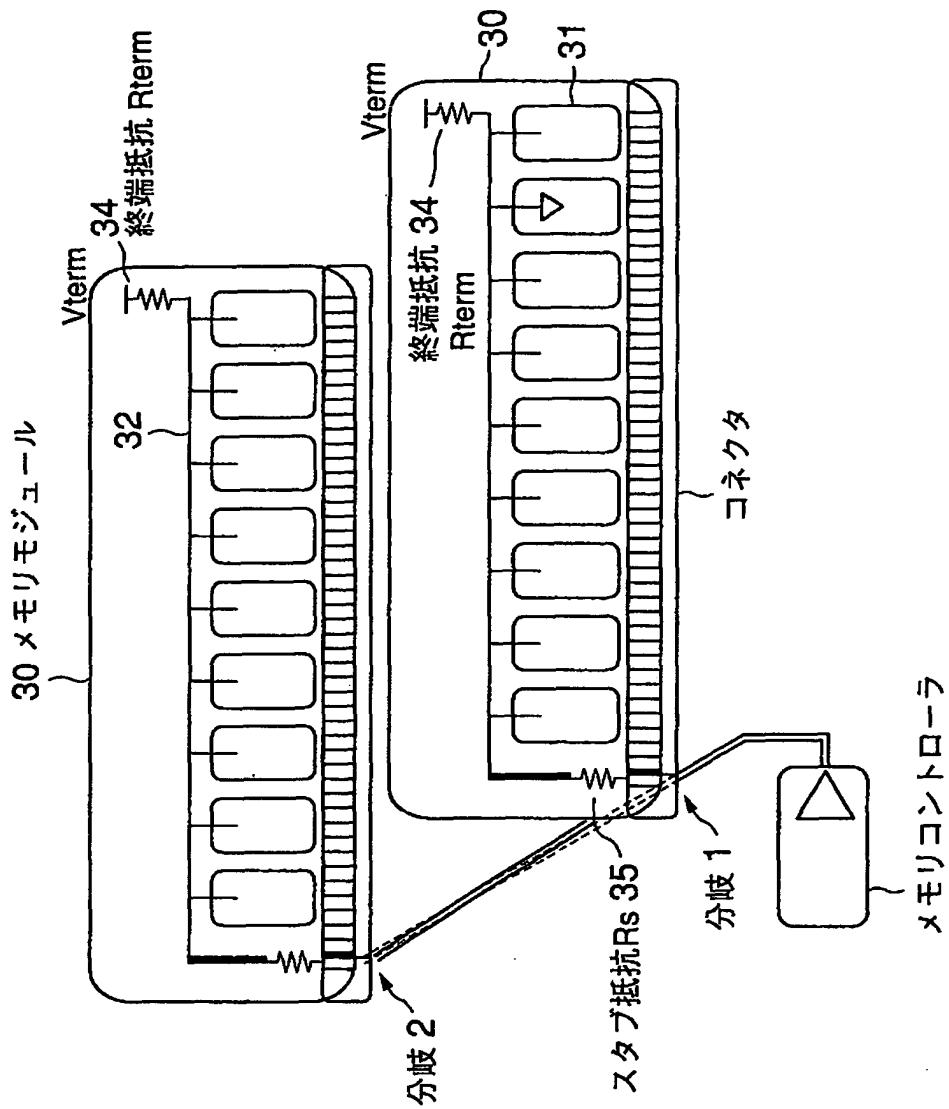
【図6】



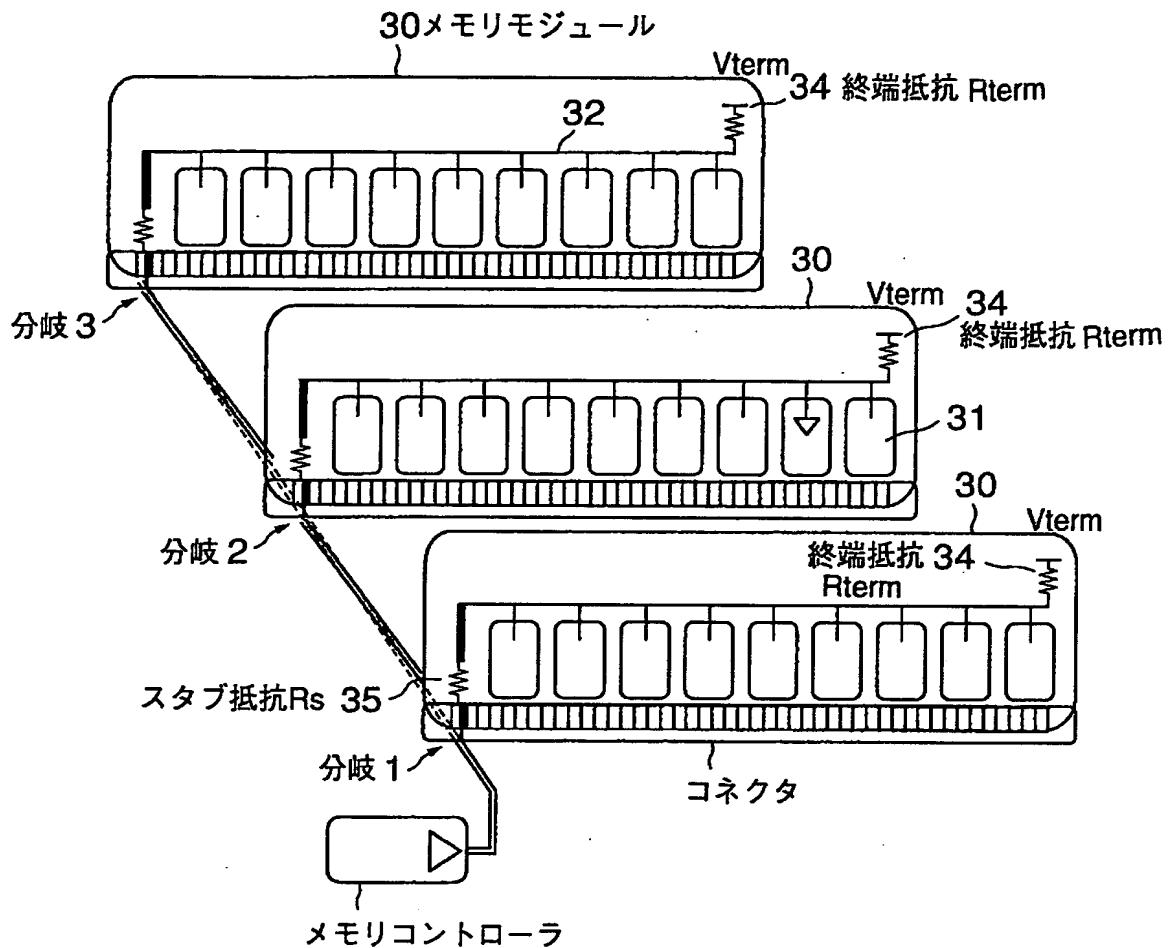
【図7】



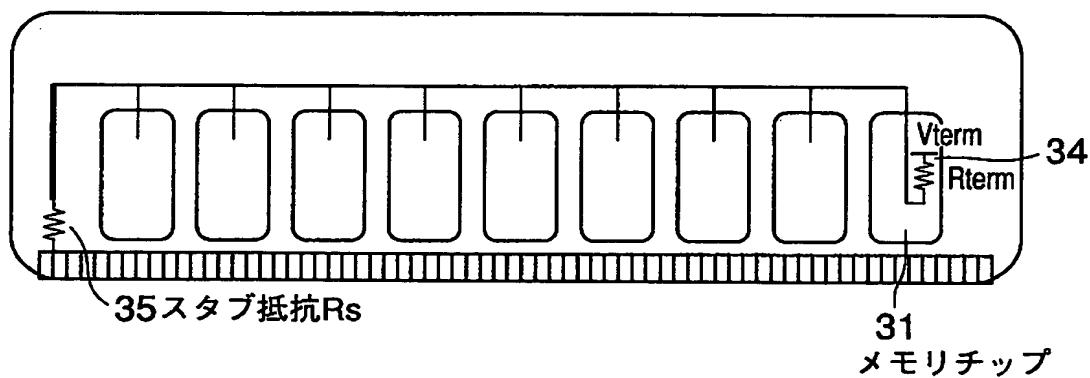
【図 8】



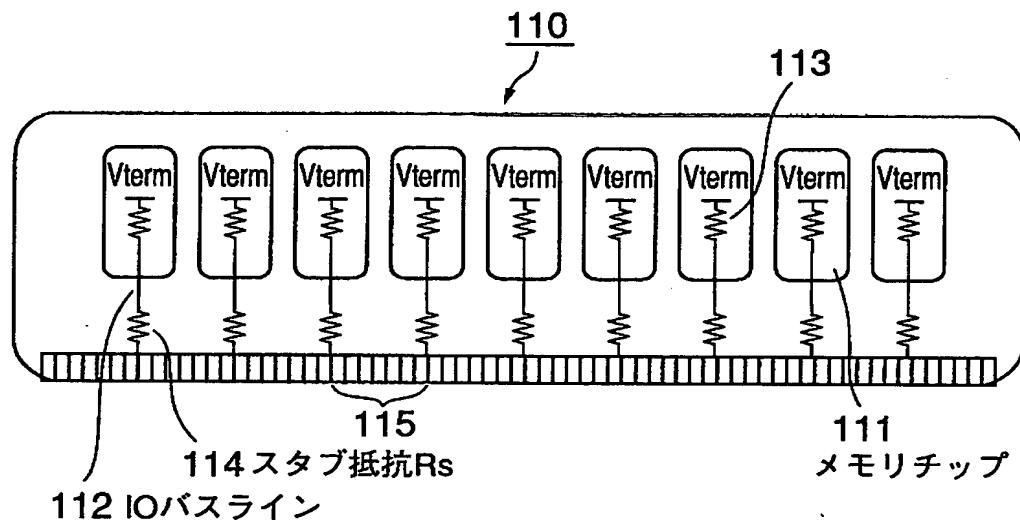
【図9】



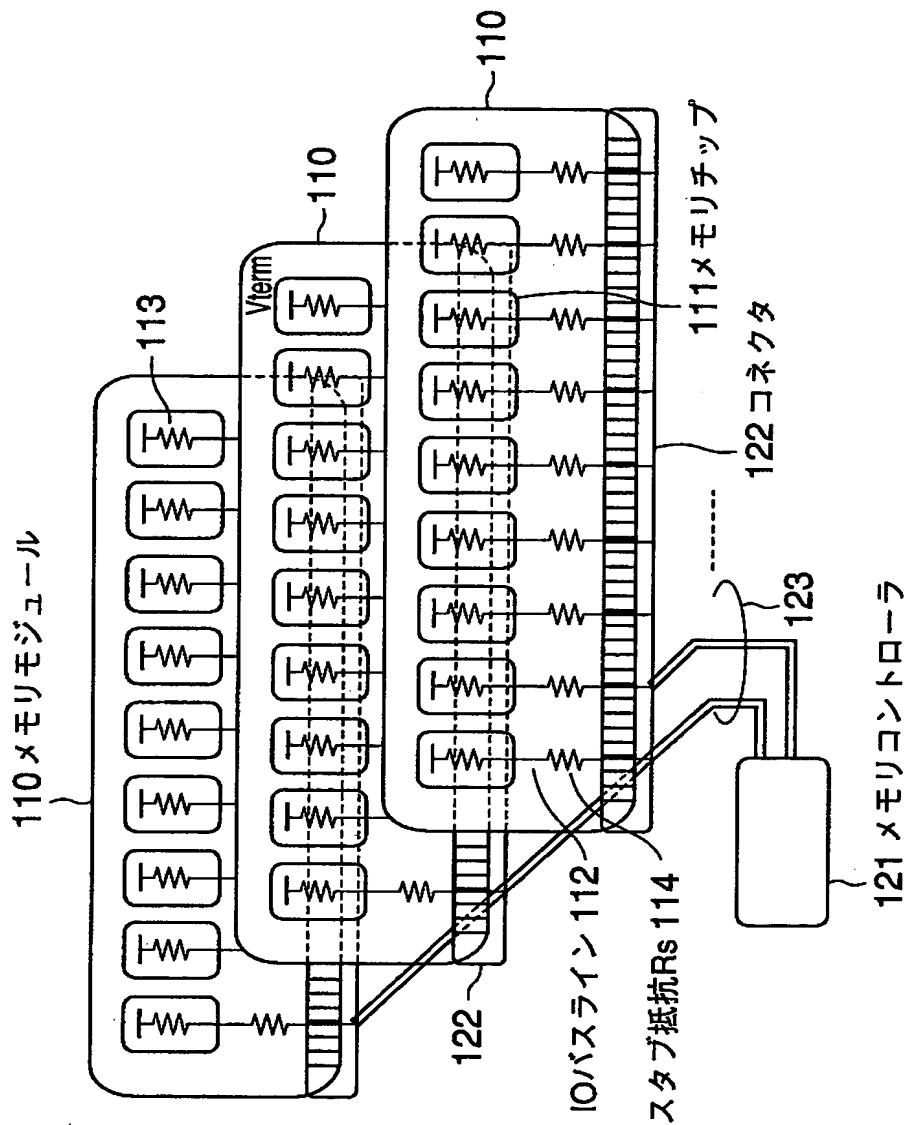
【図10】



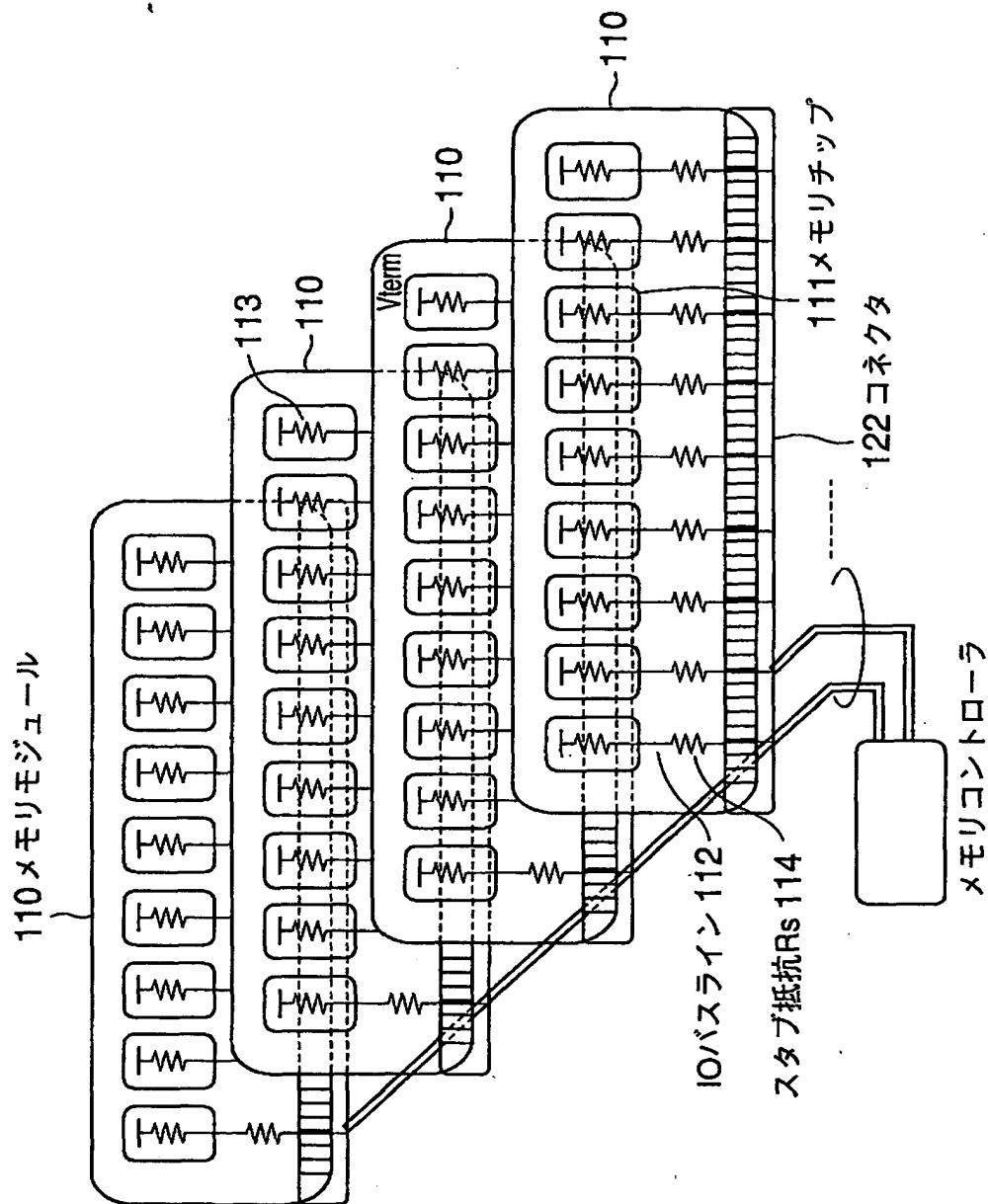
【図11】



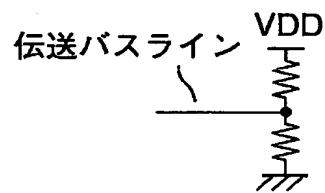
【図12】



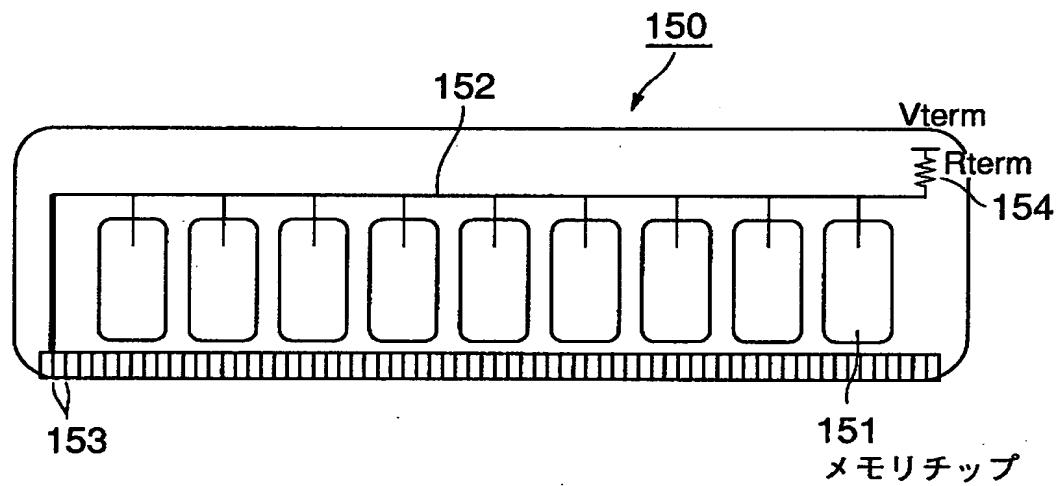
【図13】



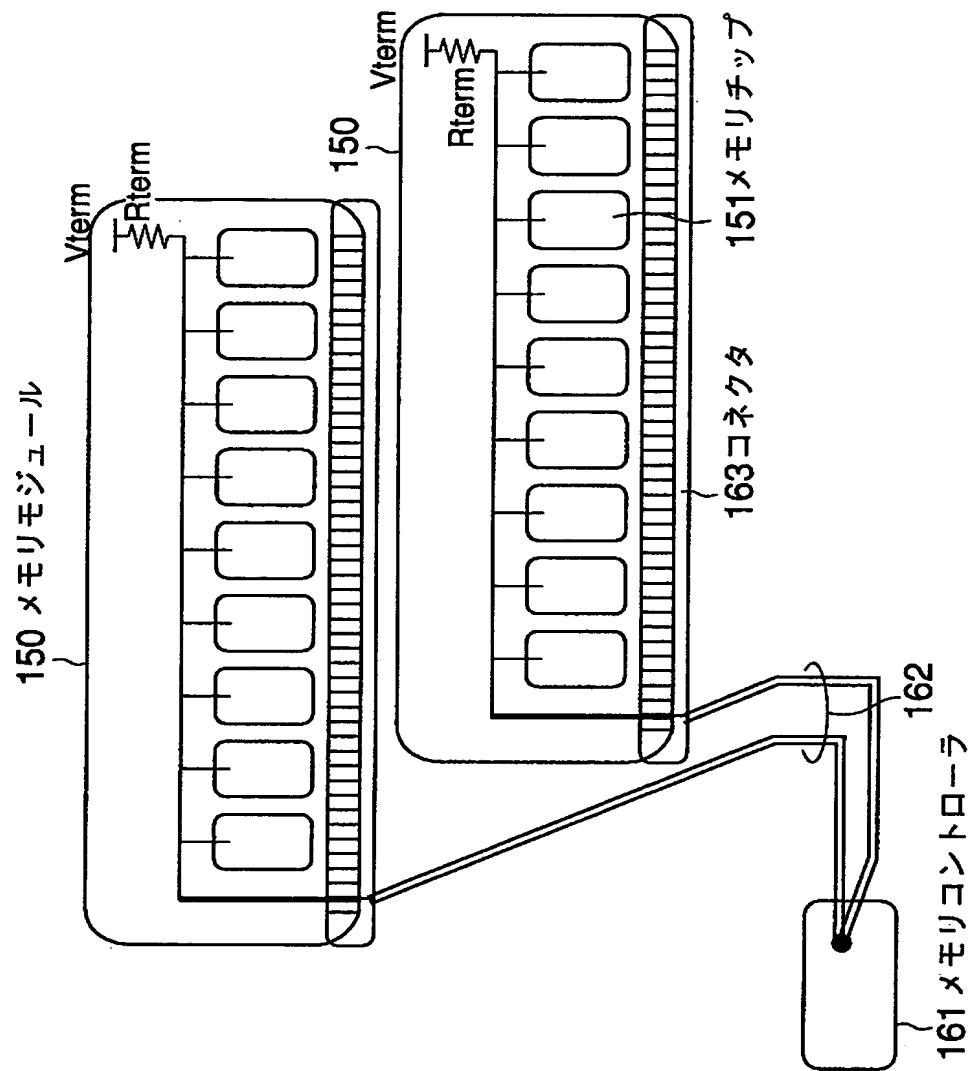
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 高速化に対応できる、伝送線路上の反射信号が発生しない、複数のメモリモジュールがスタブ接続されたメモリシステムを提供する。

【解決手段】 メモリモジュール30が装着されるコネクタ42を、メモリコントローラ41に接続されている伝送バスライン43にスタブ接続する。メモリモジュールには、伝送バスライン32とピン33との間にスタブ抵抗を接続する。スタブ抵抗の抵抗値Rs及び終端抵抗34の抵抗値Rtermは、伝送バスラインとメモリチップ31とからなるメモリチップ配置部の実効インピーダンスをZeffdimmとして、 $Rs = (n - 1) \times Z_{effdimm} / n$ 、及び、 $R_{term} = Z_{effdimm}$ 、とし、マザーボードの配線インピーダンスZmbを $Z_{mb} = (2n - 1) \times Z_{effdimm} / n^2$ とする。

【選択図】 図4

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1
氏 名 エルピーダ・モリ株式会社